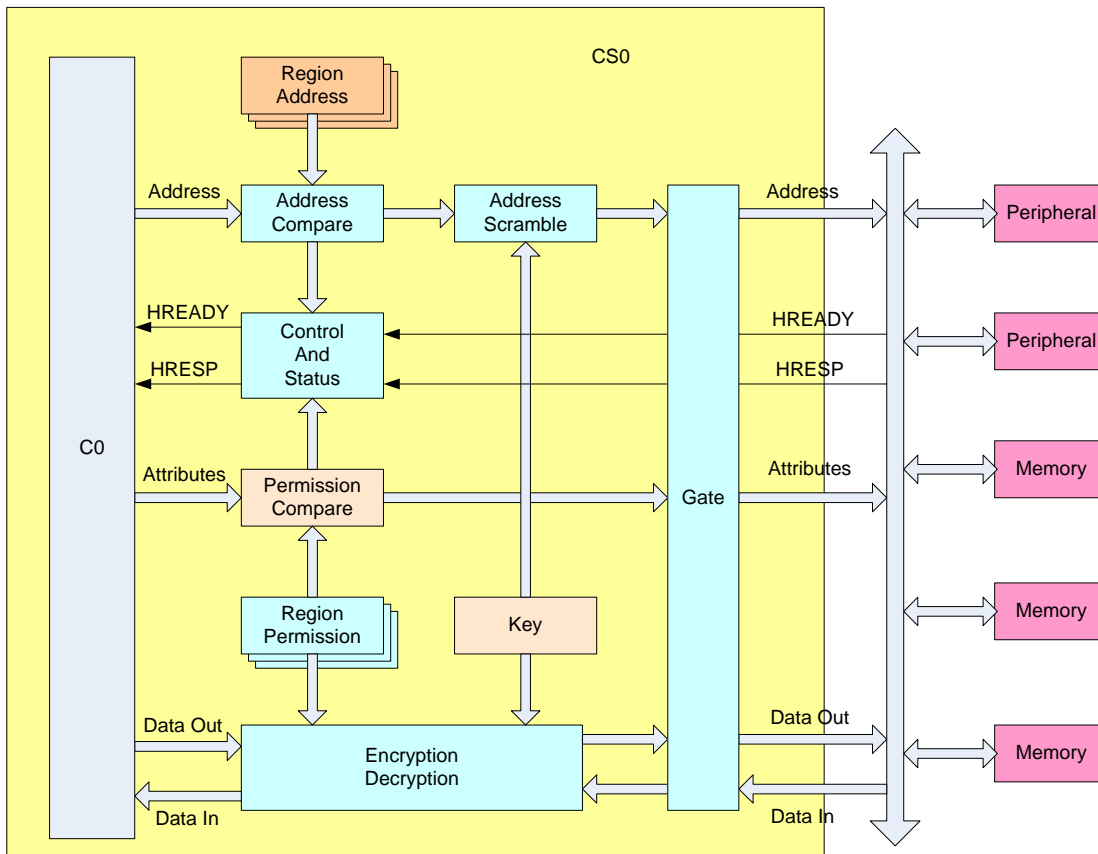


32 位 RISC 安全核心—CS0

概述

CS0 处理器是基于 C*Core 家族中面积最小，功耗最低的 32 位 RISC 处理器 C0 开发的安全核心，主要应用于对功耗和成本敏感的安全类应用，如智能卡，USB Key 等。

CS0 集成了一个安全增强型 C0 核心和一个功能丰富的单端口内存保护单元（MPU）。安全增强型 C0 核心基于三级流水冯诺依曼架构，并内嵌防 DPA/TA 攻击机制。CS0 集成的 MPU 具有丰富的访问权限控制和可选的地址/数据加扰功能。



主要特征

- 超低功耗 32 位 RISC 核芯
- 加载存储架构（冯诺依曼）
- 高度优化的 3 级流水线
- 硬件乘法器可配置（单周期或 32 周期）
- 定长 16 位指令
 - 多数为单周期指令
 - 三周期跳转指令
 - 高代码密度

- 16 个 32 位通用寄存器
- 1 个 32 位控制寄存器
- 内嵌中断控制器，减少系统面积
- 总线支持 AHB-lite/AHB
- 支持 JTAG 调试
- 集成内存保护单元（可选）
 - 1 到 8 个可配置区域
 - 灵活的区域大小配置：16B ~ 4GB
 - 16 种灵活的访问权限控制，支持算法安全下载执行
 - 地址/数据加扰单元（可选）
- 内嵌防 DPA/TA 攻击机制
 - 随机延迟指令执行周期
 - 随机嵌入自跳转
 - 随机嵌入 Dummy 内存访问

CS0 与 CS320D 的特性对比

特点	CS0	CS320D
流水	3 级	4 级
控制寄存器	只有 PSR	12 个
影子寄存器	无	16 个(可选)
总线	AHB-lite/AHB	CLB/AHB-lite/AHB
乘法器	32bitx32bit, 单周期或 32 周期	32bitx16bit 单周期 32bitx32bit 双周期
中断控制器	内嵌	需外部中断控制器
门数	内核 12~20K 其它安全附件最大 10K	80K
DMIPS/MHz	0.91	1.1
频率（180G 工艺）	50MHz	80MHz

CS0 在各工艺条件下典型面积/功耗/频率（MPU 8 个通道，串行乘法器）

	180G	130G	90LP	65G	40G
频率（MHz,WCS）	50	80	110	160	210
动态功耗（ μ W/MHz）	70	30	13	8	5
面积（mm ² ）	0.25	0.15	0.08	0.04	0.02

应用领域

- 智能卡

- USB-Key
- ...

发布日期

Q2,2012

新产品 CS0+ 发布计划

CS0+处理器在CS0的基础上增强了位操作与IO操作指令，同时对C0进一步精简，规模在8K，做到与8位CPU同等规模。

CS0+在各工艺条件下典型面积/功耗/频率

	180G	130G	90LP	65G	40G
频率 (MHz,WCS)	50	80	110	160	210
动态功耗(μW/MHz)	50	22	9	6	4
面积 (mm ²)	0.2	0.1	0.05	0.03	0.015

预计发布日期

Q2,2013

*To obtain more information about the CS0 or other C*CORE™ products, please contact the C*Core Technology Co., Ltd. by phone: 0512-68091375, email: support@china-core.com or web: <http://www.china-core.com>.*

*C*Core™ is a trade mark of C*Core Co., Ltd.*